

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-356366

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

G02F 1/1368

G09F 9/30

G09G 3/20

G09G 3/36

H04N 5/66

(21)Application number : 2000-175321

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 12.06.2000

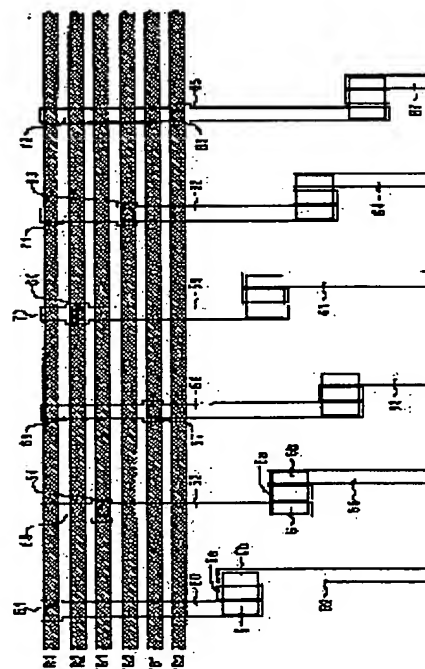
(72)Inventor : MATSUDA YOJI

## (54) ACTIVE MATRIX TYPE DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To eliminate degradation in display quantity caused by difference in signal delay for each drain line due to difference in the locations of the cross points of data signal lines 7 and drain lines.

**SOLUTION:** A capacitive line, which does not contribute to data transmission, is provided on a drain line to make the superimposed area with a data line to be made equal for each drain line. Thus, parasitic capacitance caused by the data line 7 and the drain line is made equal for each drain line, the difference in signal delay for each drain line is eliminated and the display quality is improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-356366

(P2001-356366A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	ターマコト* (参考)
G 0 2 F	1/1368	G 0 9 F	9/30 3 3 6 2H092
G 0 9 F	9/30	G 0 9 G	3/20 6 1 1 J 5C006
G 0 9 G	3/20		6 2 1 M 5C058
	6 2 1		6 8 0 G 5C080
	6 8 0	3/36	5C094
審査請求 未請求 請求項の数 8		OL	(全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-175321 (P2000-175321)

(22) 出願日 平成12年6月12日 (2000. 6. 12)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 松田 洋史

大阪府守口市京阪本通2丁目5番5号 三洋

電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

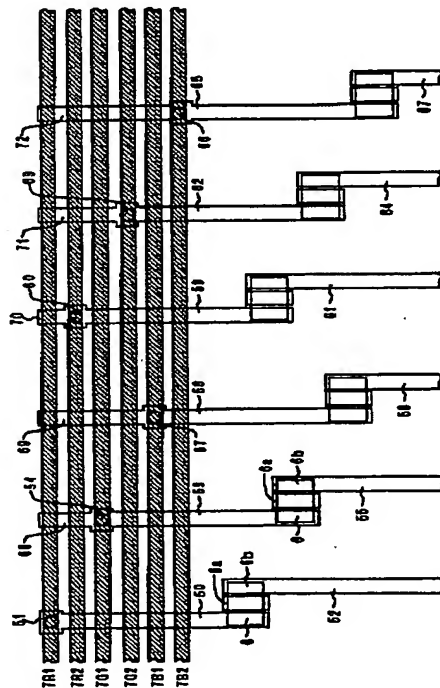
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 データ信号線とドレイン線との交差点が、ドレイン線毎に異なるため、ドレイン線毎の信号遅延に差が生じ、表示品質が低下する。

【解決手段】 ドレイン線の上に、データ伝達には寄与しない容量線を設け、ドレイン線毎にデータ信号線との重畳面積を等しくする。これによって、データ信号線とドレイン線との間に生じる寄生容量が各ドレイン線で等しくなるため、ドレイン線毎の信号遅延の差が無くなり、表示品質が向上する。



## 【特許請求の範囲】

【請求項 1】 複数の画素電極が配置された表示領域と、前記表示領域の周辺部に配置される複数のデータ信号線と、前記複数のデータ信号線のいずれか 1 本とそれぞれ接続され、前記表示領域まで延在する複数のドレイン線と、前記複数のドレイン線と交差し、前記表示領域に延在する複数のゲート線と、を有するアクティブマトリクス型表示装置において、前記複数のドレイン線は、そのドレイン線が接続されたデータ信号線以外に前記複数のデータ信号線の少なくとも 1 本と交差するように延在されることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 全ての前記ドレイン線は、そのドレイン線が接続されたデータ信号線以外の全てのデータ信号線と交差する部分を有することを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 3】 前記ドレイン線のそれぞれが前記データ信号線と交差する部分の面積は、全ての前記ドレイン線において実質等しいことを特徴とする請求項 2 に記載のアクティブマトリクス型表示装置。

【請求項 4】 前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分の所定の位置には、前記複数のドレイン線を選択するためのドレイン線選択スイッチング素子が介在し、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記ドレイン線選択スイッチング素子までの距離は、前記複数のドレイン線同士で互いに実質等しいことを特徴とする請求項 3 に記載のアクティブマトリクス型表示装置。

【請求項 5】 複数の画素電極が配置された表示領域と、前記表示領域の周辺部に互いに平行に配置される複数のデータ信号線と、前記データ信号線のいずれか 1 本とそれぞれ接続され、表示領域まで延在する複数のドレイン線と、前記ドレイン線と交差し、表示領域に延在する複数のゲート線と、を有するアクティブマトリクス型表示装置において、前記複数のドレイン線の少なくとも一部は、対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とを有し、少なくとも一方の部分でそのドレイン線が接続されるデータ信号線以外のデータ信号線と交差し、各交差点におけるドレイン線とデータ信号線とが重畳する面積の和は、前記複数のドレイン線それぞれで実質等しいことを特徴とするアクティブマトリクス型表示装置。

【請求項 6】 前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とは、実質的に同じ太さであり、前記ドレイン線と前記データ信号線とが交差する数は、前記複数のドレイン線それぞれで等しいことを特徴とする請求項 5 に記載のアク

ティブマトリクス型表示装置。

【請求項 7】 前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分の所定の位置には、前記複数のドレイン線を選択するためのドレイン線選択スイッチング素子が介在し、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記ドレイン線選択スイッチング素子までの距離は、前記複数のドレイン線同士で互いに実質等しいことを特徴とする請求項 6 に記載のアクティブマトリクス型表示装置。

【請求項 8】 前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とは、実質的に同一方向に延びていることを特徴とする請求項 5 乃至請求項 7 のいずれかに記載のアクティブマトリクス型表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、列毎に配置されたドレイン線を選択して信号を与えるアクティブマトリクス表示装置のドレイン線の構造に関するものである。

【0002】

【従来の技術】 現在、用いられる表示装置は、大きく分けてパッシブマトリクス型と、アクティブマトリクス型に分類できる。このうち、アクティブマトリクス型表示装置は、それぞれの画素にスイッチング素子を設け、それぞれの画素にその画素の画像データに応じた電圧を印加して（もしくは電流を流して）表示を行うタイプの表示装置である。

【0003】 液晶表示装置（Liquid Crystal Display；LCD）は対向する基板間に液晶を封入し、画素毎に形成された画素電極に電圧を印加して、液晶の透過率を変化させることによって表示を行う表示装置であり、アクティブマトリクス型 LCD は、特にモニター用途で主流となっている。

【0004】 また、エレクトロルミネッセンス（Electro Luminescence；EL）表示装置は、画素毎に形成された画素電極から EL 素子に電流を流すことによって表示を行う表示装置であり、アクティブマトリクス型 EL 表示装置は、実用化に向けて研究が盛んである。

【0005】 図 4 はアクティブマトリクス型 LCD を示す回路図である。表示領域 1 には、列方向に延びる複数のドレイン線 2 と、行方向に延びる複数のゲート線 3 が配置され、ドレイン線 2 とゲート線 3 のそれぞれの交点に対応して選択トランジスタ 4 が配置されている。選択トランジスタ 4 のドレインがドレイン線 2、ゲートがゲート線 3 にそれぞれ接続され、ソースは画素毎に形成された画素電極に接続されている。表示領域 1 の上方には、所定のドレイン線を選択するドレイン線セクタ 5 と、ドレイン線 2 にドレイン線選択トランジスタ 6 を介

して接続された 6 本のデータ信号線 7 が配置されている。表示領域 1 の横にはゲート線を選択するゲート線セクタ 8 が配置されている。

【0006】ゲート線セクタ 8 は複数のゲート線 3 から所定のゲート線 3 を順次選択してゲート電圧を印加し、そのゲート線 3 に接続された選択トランジスタ 4 をオンする。ドレイン線セクタ 5 は、複数のドレイン線 2 から所定のドレイン線 2 を順次選択し、所定のドレイン線選択トランジスタ 6 を順次オンする。ドレイン線選択トランジスタ 6 がオンとなったドレイン線 2 は、対応するデータ信号線 7 と接続され、このドレイン線 2 には、データ信号が入力される。選択されたゲート線 3 と選択されたドレイン線 2 に接続された画素の画素電極には、ドレイン線 2 及びオンした選択トランジスタ 4 を通じてデータ信号が印加され、これに対応する液晶が駆動されて表示が行われる。

【0007】従来、ドレイン線セクタは、1 本のドレイン線 2 を順次選択するだけであった。しかし、画素数が増加に伴って、1 本のドレイン線がアクティブとなる時間が短くなり、液晶の応答が間に合わなくなる可能性が生じたため、近年ではデータ信号線 7 の本数を増やし、複数のドレイン線 2 を同時にアクティブにすることが多くなってきている。図 4 は、データ信号線 7 を RGB 2 本ずつ計 6 本とし、同時に 6 本のドレイン線 2 をアクティブとする 6 層構造を例示した。図 2 に図示した 6 本のドレイン線 2 のうち、右端の 1 本を除く 6 本は、ドレイン線選択トランジスタ 6 のゲート電極に共通したドレイン線セクタ 5 の出力が印加され、同時にオンする。図面の簡略化のために省略したが、右端のドレイン線も同様に、図示しない 5 本のドレイン線と同時にオンする。

【0008】説明は省略するが、更にデータ信号線 7 を増やした、12 層構造、24 層構造といった多層構造も存在する。一般的に、より多い層構造とすれば、1 本のドレイン線 2 がアクティブとなる時間は多く確保できるので、例えば更に画素数が増加したときなど、より多い層構造とする要望がある。

【0009】図 5 は、データ信号線 7 及びドレイン線選択トランジスタ 6 の付近を拡大した平面図である。データ信号線 7 が RGB 各色 2 本ずつ 6 本、水平方向に延びている。第 1 のドレイン線上部配線 10 は、コンタクト 11 を介してデータ信号線 7 R1 に接続され、ドレイン線選択トランジスタ 6 まで延在している。ドレイン線選択トランジスタ 6 は、ゲート電極 6a と、活性層 6b を有している。ゲート電極 6a は、図示しない配線によって、ドレイン線セクタ 5 に接続されている。活性層 6b のソースは、第 1 のドレイン線上部配線 10 に接続されている。活性層 6b のドレインは第 1 のドレイン線下部配線 12 に接続され、表示領域 1 まで延びている。ドレイン線上部配線とドレイン線下部配線とを総合してド

レイン線と呼ぶ。

【0010】第 2 のドレイン線上部配線 13 は、コンタクト 14 を介してデータ信号線 7 G1 に接続され、ドレイン線選択トランジスタ 6 まで延び、これに第 2 のドレイン線下部配線 15 が接続されている。

【0011】第 3 のドレイン線上部配線 16 はコンタクト 17 を介してデータ信号線 7 B1 に、第 4 のドレイン線上部配線 19 はコンタクト 20 を介してデータ信号線 7 R2 に、第 5 のドレイン線上部配線 22 はコンタクト 23 を介してデータ信号線 7 G2 に、第 6 のドレイン線上部配線 25 はコンタクト 26 を介してデータ信号線 7 B2 に、それぞれ接続され、以下同様に接続されている。

【0012】この時、ドレイン線上部配線 10、13、16、19、22、25 は、互いに抵抗を揃えるため、同じ材質、同じ線幅、同じ長さで形成されている。これは、上部配線の抵抗が異なるとデータ信号の減衰率が各ドレイン線によって異なり、ドレイン線 2 毎に異なる減衰率のデータ信号が印加されるので、結果として表示品質が低下するのを防止するためである。

【0013】

【発明が解決しようとする課題】ところが、上述の多層構造では、以下に述べる問題が生じる。

【0014】第 1 のドレイン線上部配線 10 は、データ信号線 7 のうちで最上段に位置する R1 に接続されている。これに対し、第 6 のドレイン線上部配線 25 は、データ信号線 7 のうちで再下段に位置する B2 に接続されている。すると、第 1 のドレイン線上部配線 10 は、自身が接続されない 5 本のデータ信号線 7 と交差するが、第 6 のドレイン線上部配線 25 は自身が接続されないデータ信号線 7 とは交差しない。

【0015】配線同士の交差点では、寄生容量が発生し、寄生容量が発生すると、配線に印加する電圧を変化させるときの追従が遅くなる。一般的に、寄生容量が大きいほど、電圧変化への応答は遅くなる。

【0016】従って、より多くのデータ信号線 7 と交差するほど、大きな寄生容量が発生し、応答速度が遅くなるので、第 1 のドレイン線上部配線 10 と、第 6 のドレイン線上部配線 25 とでは応答性が異なるため、表示品質が低下するという問題が生じる。

【0017】これは、12 層、24 層と、更に多層の構造とすると、より顕著に現れる。

【0018】本発明は、データ信号線 7 を多層構造としても、ドレイン線毎の信号遅延に差が生じず、表示品質の高いアクティブマトリクス型表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明は上記課題を解決するために成されたものであり、複数の画素電極が配置された表示領域と、前記表示領域の周辺部に配置される

複数のデータ信号線と、前記複数のデータ信号線のいずれか 1 本とそれぞれ接続され、前記表示領域まで延在する複数のドレイン線と、前記複数のドレイン線と交差し、表示領域に延在する複数のゲート線と、を有するアクティブマトリクス型表示装置において、前記複数のドレイン線は、そのドレイン線が接続されたデータ信号線以外のデータ信号線の少なくとも 1 本と交差するように延在されるアクティブマトリクス型表示装置である。

【0020】更に、全ての前記ドレイン線は、そのドレイン線が接続されたデータ信号線以外の全てのデータ信号線と交差する部分を有する。

【0021】更に、前記ドレイン線のそれぞれが前記データ信号線と交差する部分の面積は、全ての前記ドレイン線において実質等しい。

【0022】更に、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分の所定の位置には、前記複数のドレイン線を選択するためのドレイン線選択スイッチング素子が介在し、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記ドレイン線選択スイッチング素子までの距離は、前記複数のドレイン線同士で互いに実質等しい。

【0023】また、複数の画素電極が配置された表示領域と、前記表示領域の周辺部に互いに平行に配置される複数のデータ信号線と、前記データ信号線のいずれか 1 本とそれぞれ接続され、表示領域まで延在する複数のドレイン線と、前記ドレイン線と交差し、表示領域まで延在する複数のゲート線と、前記ドレイン線及び前記ゲート線との交点それぞれに対応して配置され、前記ドレイン線にドレインが、前記ゲート線にゲートが、対応する前記画素電極にソースが、それぞれ接続されるスイッチング素子と、を有するアクティブマトリクス型表示装置において、前記複数のドレイン線の少なくとも一部は、対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とを有し、それぞれの部分でそのドレイン線が接続されたデータ信号線以外のデータ信号線と交差し、各交差点におけるドレイン線とデータ信号線とが重畳する面積の和は、前記複数のドレイン線それぞれで等しい。

【0024】更に、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とは、実質的に同じ太さであり、前記ドレイン線と前記データ信号線とが交差する数は、前記複数のドレイン線それぞれで等しい。

【0025】更に、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分の所定の位置には、前記複数のドレイン線を選択するためのドレイン線選択スイッチング素子が

介在し、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記ドレイン線選択スイッチング素子までの距離は、前記複数のドレイン線同士で互いに実質等しい。

【0026】更に、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とは、実質的に同一方向に延びている。

【0027】

10 【発明の実施の形態】本発明の第 1 の実施形態として、本発明を LCD に適用した場合を例示して以下に説明する。本実施形態の回路図は、図 4 に示した従来のものと全く同様であり、その動作についても同様であるので、説明を省略する。

【0028】図 1 は、本実施形態に係る LCD の、データ信号線 7 及びドレイン線選択トランジスタ 6 の付近を拡大した平面図である。

【0029】データ信号線 7 が RGB 各色 2 本ずつ 6 本、水平方向に延びている。第 1 のドレイン線上部配線 50 は、コンタクト 51 を介してデータ信号線 7R1 に接続され、ドレイン線選択トランジスタ 6 まで延在している。ドレイン線選択トランジスタ 6 は、ゲート電極 6a と、活性層 6b を有している。ゲート電極 6a は、図示しない配線によって、ドレイン線セクタ 5 に接続されている。活性層 6b のソースは、第 1 のドレイン線上部配線 50 に接続されている。活性層 6b のドレインは第 1 のドレイン線下部配線 52 に接続され、表示領域 1 まで延びている。

【0030】第 2 のドレイン線上部配線 53 は、コンタクト 54 を介してデータ信号線 7G1 に接続され、ドレイン線選択トランジスタ 6 まで延び、これに第 2 のドレイン線下部配線 55 が接続されている。

【0031】第 3 のドレイン線上部配線 56 はコンタクト 57 を介してデータ信号線 7B1 に、第 4 のドレイン線上部配線 59 はコンタクト 60 を介してデータ信号線 7R2 に、第 5 のドレイン線上部配線 62 はコンタクト 63 を介してデータ信号線 7G2 に、第 6 のドレイン線上部配線 65 はコンタクト 66 を介してデータ信号線 7B2 に、それぞれ接続され、以下同様に接続されている。

【0032】この時、ドレイン線上部配線 50、53、56、59、62、65 は、互いに抵抗を揃えるため、同じ材質、同じ線幅、同じ長さで形成されている。

【0033】本実施形態の従来と異なる点は、第 2 から第 6 のドレイン線上部配線 53、56、59、62、65 に、容量線 68、69、70、71、72 が接続されている点である。容量線 68、69、70、71、72 は、ドレイン線上部配線 53、56、59、62、65 と一体的に形成されており、その境界線は存在しないが、ここでは説明の便宜のため、データ信号線とのコン

タクトよりも表示領域から遠い側を容量線と呼ぶことにする。第1のドレイン線上部配線50は、最上段のデータ信号線7R1に接続され、それよりも表示領域1から遠い側にはデータ信号線7が存在しないので、容量線は形成されていない。

【0034】容量線は、そのドレイン線がどのデータ信号線に接続されるかによって長さが異なり、全ての容量線は、データ信号線とのコンタクトから、表示領域から遠ざかる方向に向かって延び、そのドレイン線が接続されないデータ信号線と交差して、最上段のデータ信号線7R1よりも表示領域から遠い側まで延在している。本実施形態において、容量線の幅は、ドレイン線上部配線と同じである。

【0035】これによって、ドレイン線上部配線と容量線とがデータ信号線7と交差する回数の合計は、全てのドレイン線で等しく5回となる。配線同士が作る寄生容量は、配線が重畳する面積によって決まるが、本実施形態においては、容量線とドレイン線上部配線とは同じ線幅であるため、その寄生容量値は単にデータ信号線との交差回数によって決定される。従って、ドレイン線上部配線と容量線とがデータ信号線7と形成する容量の合計は、全てのドレイン線で等しくなるので、ドレイン線毎に応答性が異なるため、表示品質が低下するという問題が解決される。

【0036】ここで、容量線の配置について説明する。上述したように、ドレイン線とデータ信号線とのコンタクトからドレイン線選択トランジスタ6までの抵抗値は等しくする必要がある。従って、容量線の配置は、ドレイン線上部配線のどこから分岐させて配置するよりも、本実施形態のようにドレイン線上部配線とは反対側に延びるように設けるのがよい。また、ドレイン線上部配線とデータ信号線との交差点だけでドレイン線上部配線の線幅を調節し、寄生容量を調節することもできるが、この場合も上述した容量線の分岐と同様、ドレイン線上部配線の抵抗が変化してしまうので最適であるとは言えない。換言すれば、容量線はデータ信号の伝達には寄与せず、容量の調整の役割のみを担っている。

【0037】また、容量線は、ドレイン線上部配線と同じ方向に伸ばすのがよい。なぜならば、ドレイン線上部配線と容量線とでデータ信号線7との交差角度が異なると、線幅が等しくても交差点の重畳面積が異なり、寄生容量を揃えることができなくなるからである。

【0038】ところで、本実施形態では、ドレイン線上部配線とデータ信号線とのコンタクトからドレイン線選択トランジスタまでの距離は、全てのドレイン線で等しくなっている。これは、上述したように、ドレイン線上部配線の電気抵抗をそれぞれのドレイン線で等しくするための処置である。これに対し、従来から、ドレイン線上部配線の電気抵抗を揃えるための方法として、ドレイン線上部配線の太さを互いに変えることが提案されてい

る。

【0039】図2は、ドレイン線上部配線の太さを変えたアクティブマトリクス型表示装置の平面図である。表示領域から遠い最上段のデータ信号線に接続されるドレイン線上部配線81が最も太く、再下段のデータ信号線に接続されるドレイン線上部配線86が最も細く形成されている。配線の抵抗率は、配線の太さが太くなると下がるので、長さ太さを最適化することで全てのドレイン線上部配線の抵抗を揃えることができる。

10 【0040】この方法で抵抗を揃えると、ドレイン線上部配線の長さを短くできるので、配線の領域を僅かに縮小できるメリットがあるが、その反面、最上段に接続されるドレイン線上部配線81は、それ自身が接続されないデータ信号線との交差点において、配線が太く、データ信号線と重畳する面積が大きい。逆に、1本のデータ信号線と交差するドレイン線上部配線83は、配線が細い上に1本としか交差しない。従って、ドレイン線上部配線とデータ信号線との寄生容量の差は、より拡大する。

20 【0041】この場合も、同様の考えに従って、容量線を配置し、容量を揃えることができるが、容量線の配置には工夫が必要である。図3に本発明の第2の実施形態にかかるアクティブマトリクス型表示装置の平面図を示す。ドレイン線上部配線81、82、83、84、85、86は図2と同様、その長さに応じて線幅が異なる。そして、それらの表示領域1から遠い側には、容量線91、92、93、94、95が形成されている。これら容量線の幅は、それぞれ異なり、その容量線と、対応するドレイン線上部配線とがそれぞれデータ信号線7との交差点において重畳する面積の和が互いに等しくなるように設定されている。

30 【0042】第1の実施形態及び第2の実施形態から明らかなように、本発明の意図するところは、要は、ドレイン線上部配線がデータ信号線と重畳する面積と、容量線がデータ信号線と重畳する面積との和が、それぞれのドレイン線で等しければ良い。ただし、第1の実施形態と第2の実施形態を比較すると、第1の実施形態の方が、ドレイン線上部配線とデータ信号線との寄生容量が小さく、ドレイン線全体の応答性が良いため、第1の実施形態の方が好適であると考えられる。

40 【0043】なお、上記の実施形態はいずれもLCDを例示して説明したが、これに限るものではなく、EL表示装置や、LED表示装置など、あらゆるアクティブマトリクス表示装置に適用できる。

【0044】

50 【発明の効果】以上に詳述したように、本発明によれば、ドレイン線が、それ自身が接続されたデータ信号線以外のデータ信号線と少なくとも1度交差する部分を有するので、ドレイン線毎の容量の差が小さく、それぞれのドレイン線の応答時間の差が小さい。従って、データ



信号線 7 を多層構造としても、ドレイン線毎の信号遅延の差が小さく、表示品質の高いアクティブマトリクス型表示装置とすることができる。

【0045】更に、全てのドレイン線が、そのドレイン線が接続されたデータ信号線以外の全てのデータ信号線と交差する部分を有するので、更にドレイン線毎の容量の差が小さく、更に表示品質の高いアクティブマトリクス型表示装置とすることができる。

【0046】更に、ドレイン線のそれぞれがデータ信号線と交差する部分の面積は、全てのドレイン線において実質等しいので、更にドレイン線毎の容量の差が小さく、更に表示品質の高いアクティブマトリクス型表示装置とすることができる。

【0047】更に、複数のドレイン線の対応するデータ信号線と接続された位置から表示領域に向かって延びる部分の所定の位置には、複数のドレイン線を選択するためのドレイン線選択スイッチング素子が介在し、複数のドレイン線の対応するデータ信号線と接続された位置からドレイン線選択スイッチング素子までの距離は、複数のドレイン線同士で互いに実質等しいので、ドレイン線とデータ信号線との寄生容量の増加を抑えた上で、ドレイン線同士の抵抗を揃えることができる。

【0048】また、ドレイン線の少なくとも一部は、対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とを有し、それぞれの部分で対応しないデータ信号線と交差し、この交差点でのドレイン線とデータ信号線との重畳面積が、ドレイン線それぞれで等しいので、それぞれのドレイン線の応答時間は等しく、データ信号線 7 を多層構造としても、ドレイン線毎の信号遅延に差が生じず、表示品質の高いアクティブマトリクス型表示装置とすることができる。

【0049】特に、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分と、前記表示領域から遠ざかって延びる部分とは、実質的に同じ太さであり、これらの部分で交差

する回数は、前記複数のドレイン線それぞれで等しいので、ドレイン線それぞれの寄生容量を揃えた上で、容量の増加を最小限に抑えることができ、信号遅延の少ない、表示品質の高いアクティブマトリクス型表示装置とすることができる。

【0050】更に、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記表示領域に向かって延びる部分の所定の位置には、前記複数のドレイン線を選択するためのドレイン線選択スイッチング素子が介在し、前記複数のドレイン線の対応するデータ信号線と接続された位置から前記ドレイン線選択スイッチング素子までの距離は、前記複数のドレイン線同士で互いに実質等しいので、ドレイン線同士の抵抗が等しく、表示品質の高いアクティブマトリクス型表示装置とすることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態にかかるアクティブマトリクス型表示装置を示す平面図である。

【図 2】従来のアクティブマトリクス型表示装置の平面図である。

【図 3】本発明の第 2 の実施形態にかかるアクティブマトリクス型表示装置を示す平面図である。

【図 4】アクティブマトリクス型表示装置を示す回路図である。

【図 5】従来のアクティブマトリクス型表示装置の平面図である。

【符号の説明】

2 ドレイン線

3 ゲート線

6 ドレイン線選択トランジスタ

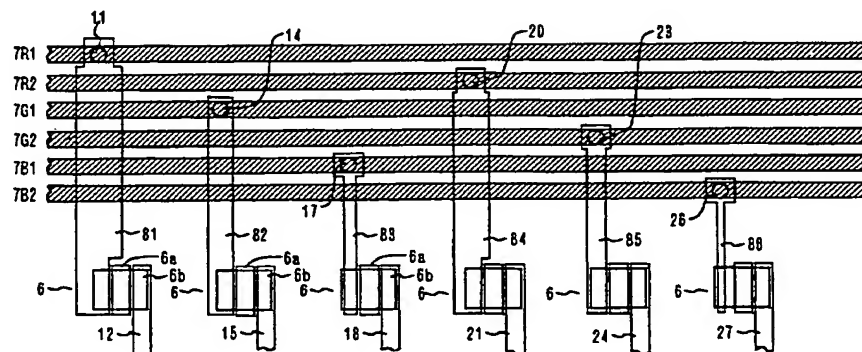
7 データ信号線

50、53、56、59、62、65 ドレイン線上部配線

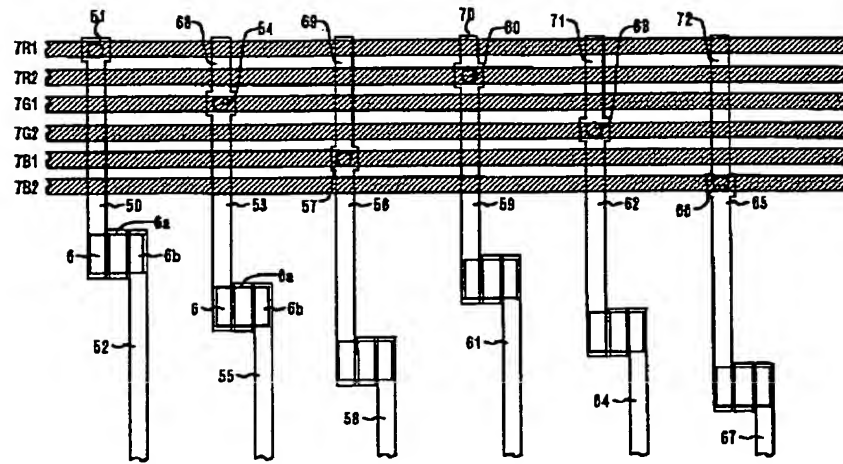
68、69、70、71、72 容量線

91、92、93、94、95 容量線

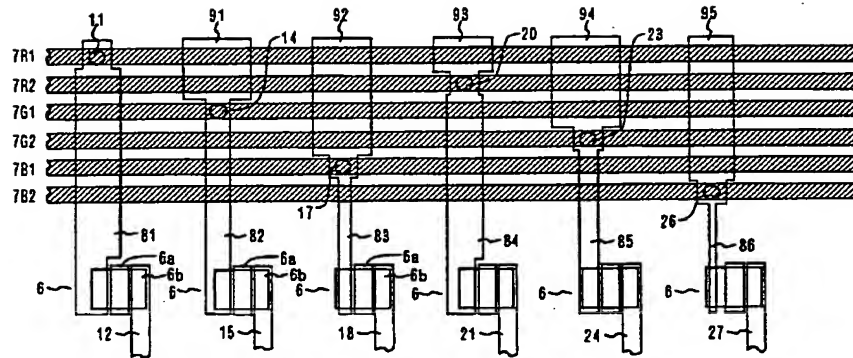
【図 2】



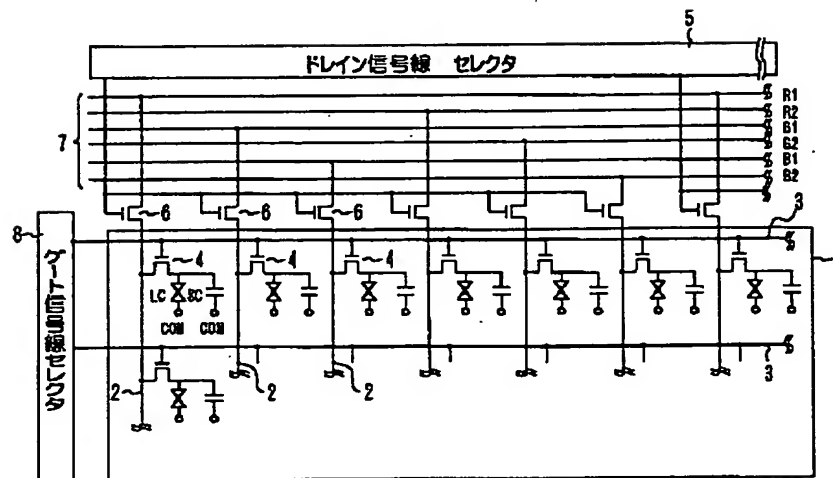
【図1】



【図3】

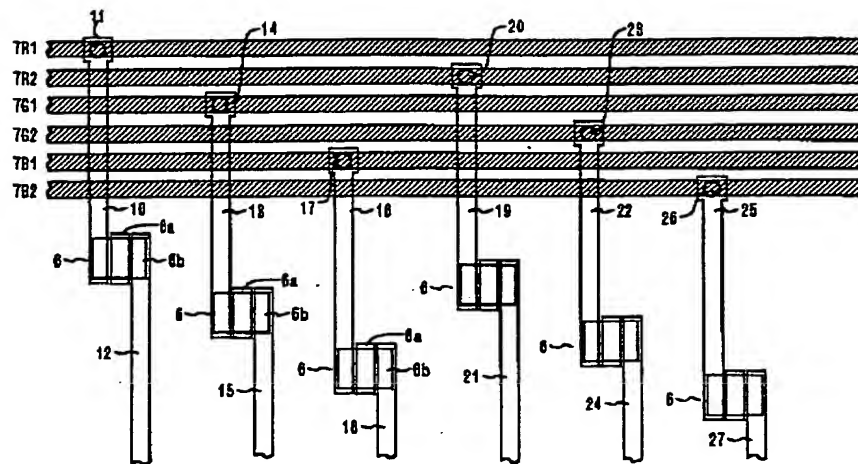


【図4】





【図 5】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テマコード (参考)
G 0 9 G 3/36		H 0 4 N 5/66	1 0 2 A
H 0 4 N 5/66	1 0 2	G 0 2 F 1/136	5 0 0

F ターム (参考) 2H092 GA59 GA61 JA24 JA42 JA44  
 JB13 JB32 JB38 NA01 NA25  
 NA27 PA06  
 5C006 AA22 AC02 AC21 AF71 BB16  
 BC03 BC06 BC13 BC23 EB05  
 EC05 FA16 FA37  
 5C058 AA08 AB01 BA35  
 5C080 AA10 BB05 CC03 DD30 FF09  
 JJ03 JJ06 KK02  
 5C094 AA04 AA48 AA55 BA03 BA27  
 BA43 CA19 DA13 DB01 DB04  
 EA10 FA01 FB12 FB14 FB15